

디지털공학

2013년 시행 5급(기술) 공채 제2차시험

응시번호 :

성명 :

제 1 문. 1비트 전덧셈기(full adder)는 입력(A, B, C_{in})과 출력(S, C_{out})을 갖는다.
다음 물음에 답하시오. (총 15점)

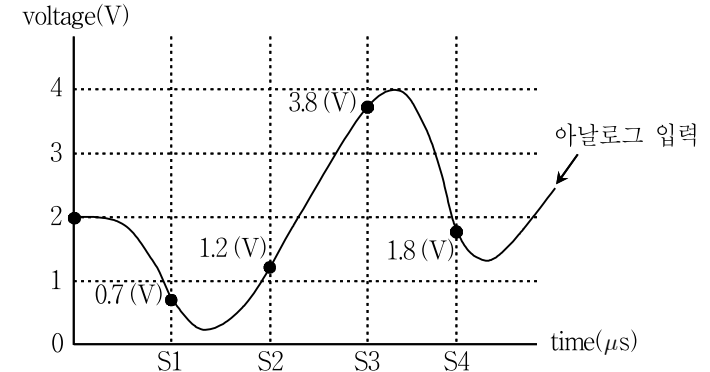
- 1) 출력 S(Sum)와 C_{out} (Carry out)을 간단한 부울 대수식으로 나타내시오. (2점)
- 2) 1비트 전덧셈기의 회로를 두 개의 반덧셈기(half adder)와 필요한 논리게이트를 이용하여 구현하시오. (3점)
- 3) 두 개의 8비트 입력(A, B)과 덧셈/뺄셈 연산을 나타내는 입력(C, “0”일 때 덧셈, “1”일 때 뺄셈)을 갖는 8비트 덧셈/뺄셈기를 1비트 전덧셈기를 이용하여 구현하시오. (10점)

제 2 문. 다음과 같은 조건으로 설계된 A/D 변환기가 있다. 다음 물음에 답하시오.

(총 5점)

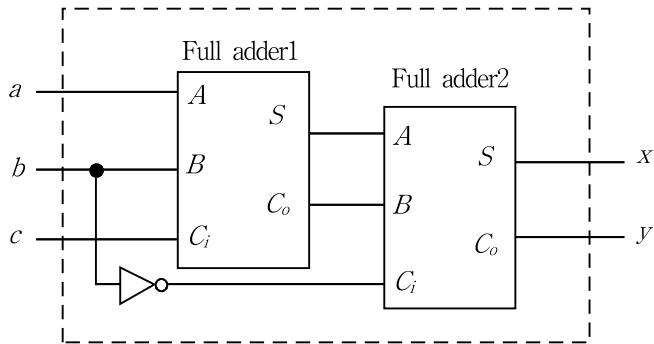
- A/D 변환방식 : Unipolar
- A/D 변환비트수 : 3
- 클럭 주파수 : 1 MHz
- Quantizer Step Size : 0.625 Volts

- 1) 위 A/D 변환기의 아날로그 입력범위를 구하시오. (2점)
- 2) 위 A/D 변환기에 아래 그래프와 같은 아날로그 파형이 입력될 때, 각 샘플링 포인트 S1, S2, S3, S4에서의 양자화된 값들을 Binary Code로 표현하시오. (3점)



제 3 문. 다음 그림과 같이 전덧셈기(full adder) 2개와 인버터를 사용해 구성된 연산회로가 있다. 각 전덧셈기에서 A, B 는 입력, C_i 는 캐리 입력, S 는 합 출력, C_o 는 캐리 출력을 의미한다. 이 연산회로의 입력은 a, b, c 의 3비트이고, 출력은 x, y 의 2비트이며 각 비트는 0과 1의 2진 비트로 구성된다. 다음 물음에 답하시오.

(총 10점)



- 1) 위 연산회로의 입력 a, b, c 및 출력 x, y 에 대한 진리표를 작성하시오. (3점)
- 2) 위 연산회로의 입력 a, b, c 에 대한 출력 x, y 를 최소 논리곱의 합 형태로 나타내시오. (3점)
- 3) OR 게이트, AND 게이트, 인버터만을 사용하여 3비트 입력 a, b, c 에 대해서 위 연산회로의 등가회로를 구현하시오. (단, OR 게이트는 1개, AND 게이트 및 인버터의 개수는 최소로 사용하시오) (4점)

제 4 문. 패리티 비트(parity bit)는 데이터 전송 시 오류가 발생했는지 여부를 판단하기 위해 사용되는 방식이다. 패리티 비트가 포함된 4비트의 데이터를 수신할 수 있는 논리회로의 조건이 다음과 같을 때, 아래 물음에 답하시오. (총 20점)

- 홀수 패리티 비트를 사용한다.
- 오류 검출 후 패리티 비트가 제거된 데이터를 출력한다.
- J-K Flip Flop을 사용하여 동기 회로를 설계한다.
- 오류가 발생했을 경우 오류신호비트 $F=1$ 을 출력하고 데이터 출력은 변하지 않는다.

- 1) 회로 여기표(circuit excitation table)를 작성하시오. (5점)
- 2) 각각의 Flip Flop에 필요한 입력 값과 오류출력 F 의 값을 카르노(Karnaugh)맵을 사용하여 간단한 부울 대수식으로 표현하시오. (15점)

안전행정부 시험출제과장