

디지털공학

2017년도 국가공무원 5급(기술) 공개경쟁채용 제2차시험

응시번호 :

성명 :

제 1 문. 다음 논리 함수 Y 에 대하여 물음에 답하시오. (총 10점)

$$Y = (A + B + C + D)(\bar{A} + \bar{B} + C + D)(A + \bar{B} + C + D)(A + B + C + \bar{D}) \\ (A + B + \bar{C} + \bar{D})(\bar{A} + B + C + \bar{D})(A + B + \bar{C} + D)$$

- 1) 카르노 맵을 이용하여 논리 함수 Y 를 합의 곱(product of sums) 형태의 논리식으로 간략화(minimization)하시오. (5점)
- 2) 카르노 맵을 이용하여 논리 함수 Y 를 표준 곱의 합(canonical sum of products) 형태의 논리식으로 나타내고, 또한 곱의 합(sum of products) 형태의 논리식으로 간략화(minimization)하시오. (5점)

제 2 문. 두 개의 정수(각각은 0부터 3까지의 값을 가진다)를 곱하는 조합논리회로에 대하여 다음 물음에 답하시오. (총 10점)

- 1) 이 조합논리회로에 대한 진리표를 작성하시오. (3점)
- 2) 카르노 맵을 이용하여 곱의 합(sum of products) 형태의 논리식으로 간략화(minimization)하시오. (3점)
- 3) 간략화된 함수를 표현하는 회로를 NOR 게이트만을 이용하여 구현하시오. (단, 입력변수는 정상입력과 반전입력이 모두 가능하다) (4점)

제 3 문. 다음 논리 함수 F_1 과 F_2 를 하나의 장치에 동시에 구현하고자 한다. 물음에 답하시오. (총 10점)

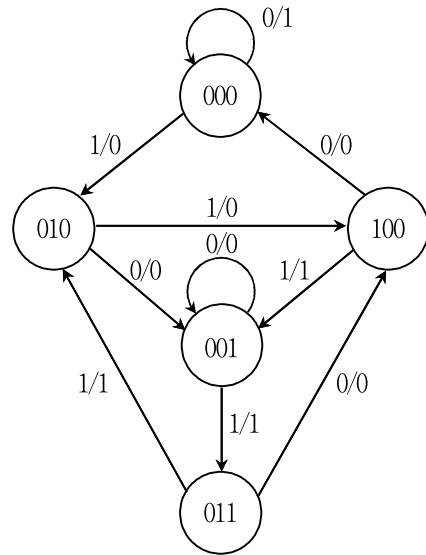
$$F_1 = AB + BC' + A'B'C' \\ F_2 = B'C + A'C' + A'B'C'$$

- 1) ABC 를 입력으로 받는 1개의 3×8 Decoder와 최소의 논리게이트를 이용하여 구현하시오. (단, 3×8 Decoder 내부의 회로도는 그리지 않는다) (5점)
- 2) PLA(Programmable Logic Array)로 구현할 때, 최소한의 퓨즈만을 연결하여 퓨즈맵을 구하시오. (단, PLA는 곱의 합(sum of products) 형태로 구성되어 있다) (5점)

제 4 문. $A_{15}, A_{14}, \dots, A_1, A_0$ 의 16개 주소선(address lines)을 사용하는 마이크로 프로세서 시스템에서 $16K \times 8$ 비트 용량의 SRAM과 $32K \times 8$ 비트 용량의 EPROM을 이용하여 메모리를 구성하고자 한다. 다음 물음에 답하시오. (총 10점)

- 1) EPROM을 가장 높은 주소 영역에 위치시키고, SRAM을 가장 낮은 영역에 위치시키기 위한 메모리 디코딩 회로를 구성하시오. (단, 디코딩 회로 구성 시 SRAM과 EPROM의 Address 입력과 Chip select 입력만을 사용한다) (6점)
- 2) 1)에서 구현한 메모리 맵을 그리시오. (4점)

제 5 문. 입력과 출력이 각각 하나인 상태도(state diagram)가 그림과 같을 때, JK 플립플롭을 이용하여 순차논리회로를 설계하고자 한다. 다음 물음에 답하시오.
(총 10점)



- 1) 상태표(state table)를 작성하시오. (3점)
- 2) 여기표(excitation table)를 작성하시오. (3점)
- 3) 플립플롭 입력 $J_A, K_A, J_B, K_B, J_C, K_C$ 와 출력 y 에 대한 논리식을 구하시오.
(4점)

인사혁신처 시험출제과장