

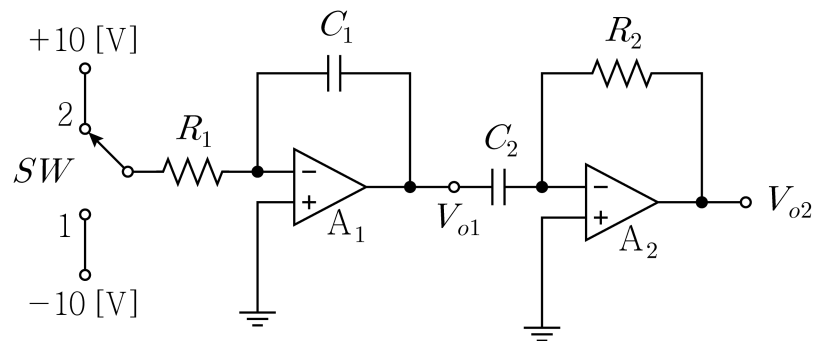
전자회로<선택>

2023년도 국가공무원 5급(기술) 공개경쟁채용 제2차시험

응시번호 :

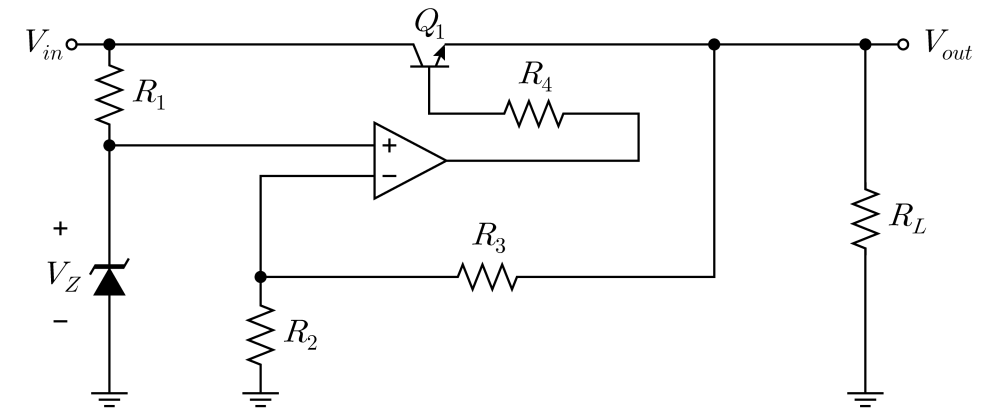
성명 :

제 1 문. 다음 회로에서 물음에 답하시오. (단, 연산증폭기는 이상적이고, 연산증폭기의 포화 출력 레벨은 ± 12 [V]이다. $R_1 = R_2 = 10$ [k Ω], $C_1 = 1$ [μ F], $C_2 = 0.2$ [μ F]이고, 연산증폭기 A_1 의 입력신호가 접점 1과 2를 1 [ms]의 주기로 스위칭하며, 접점 간 이동시간은 무시하고, 최초 스위칭은 접점 1에서 2로 이동한다) (총 10점)



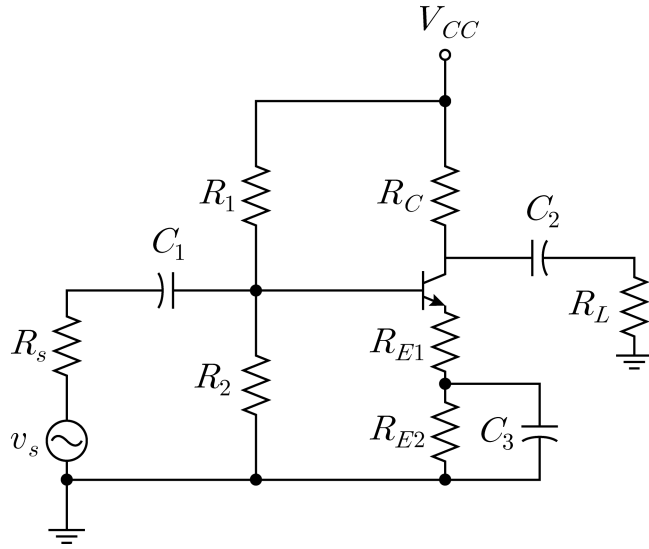
- 1) $V_{o1}(0) = 0$ [V]일 때 V_{o1} 파형을 그리시오. (5점)
- 2) V_{o1} 입력에 대한 출력파형 V_{o2} 를 그리시오. (5점)

제 2 문. 다음 전압조정기 회로에서 물음에 답하시오. (단, BJT의 베이스-이미터 전압 $V_{BE} = 0.7$ [V]이고, 전류 이득은 100이다. 연산증폭기는 이상적이고, $R_1 = 40$ [k Ω], $R_2 = 1$ [k Ω], $R_3 = 3$ [k Ω], $R_4 = 100$ [k Ω], $R_L = 100$ [k Ω]이다. 제너다이오드의 양단전압 $V_Z = 5$ [V], 입력전압 $V_{in} = 22$ [V]이고, 입력전압과 부하전류가 한정된 범위 내에서 동작한다) (총 10점)



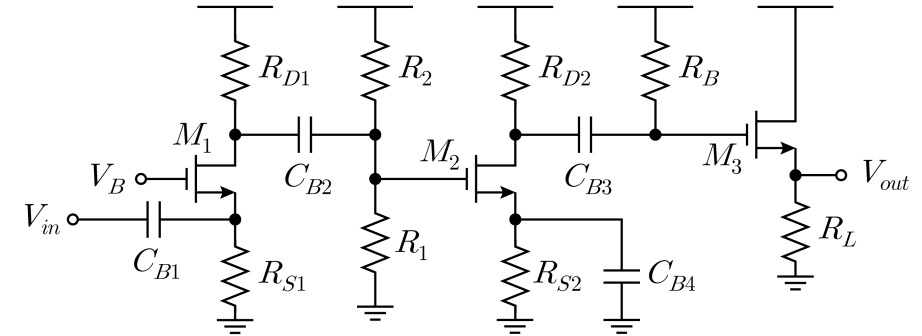
- 1) 제너다이오드에 흐르는 전류 I_Z 를 구하시오. (3점)
- 2) 출력전압 V_{out} 의 값을 구하시오. (3점)
- 3) 일정한 출력전압이 유지되는 작동원리를 설명하시오. (4점)

제 3 문. 다음 회로에 대하여 물음에 답하시오. (단, BJT의 $V_{BE} = 0.7$ [V], $\beta_{DC} = \beta_{ac} = 100$ 이다. 또한 주어진 회로에서 $R_1 = 40$ [k Ω], $R_2 = 10$ [k Ω], $R_C = 4.7$ [k Ω], $R_{E1} = 470$ [Ω], $R_{E2} = 470$ [Ω], $R_s = 600$ [Ω], $R_L = 47$ [k Ω], $C_1 = 10$ [μ F], $C_2 = 10$ [μ F], $C_3 = 100$ [μ F], $V_{CC} = 10$ [V], $v_s = 100$ [mV], $V_T = 25$ [mV]이다. 소수점 셋째 자리에서 반올림하시오) (총 10점)



- 1) DC 컬렉터 전압 V_C 를 구하시오. (3점)
- 2) 중간주파수에서, 본 회로의 베이스에서 컬렉터까지의 전압이득 A_v 와 전체 전압이득 A_v' 를 구하시오. (4점)
- 3) C_3 를 제거했을 경우 2)의 전압이득은 어떻게 변화하는지 구하시오. (3점)

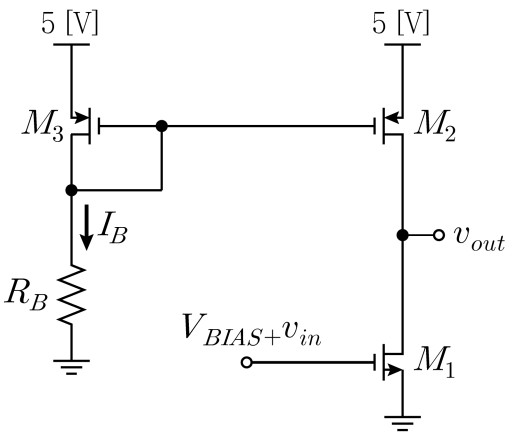
제 4 문. 다음 회로에 대하여 물음에 답하시오. (단, $g_{m1} = g_{m2} = g_{m3} = 20$ [mS], $\lambda_1 = \lambda_2 = \lambda_3 = 0$, $R_1 = R_2 = 4$ [k Ω], $R_{S1} = 50$ [Ω], $R_{S2} = 500$ [Ω], $R_{D1} = R_{D2} = R_B = 2$ [k Ω], $R_L = 150$ [Ω]이다. C_{B1} , C_{B2} , C_{B3} , C_{B4} 는 중간주파수에서 임피던스를 무시할 만큼 충분히 크다) (총 10점)



- 1) 중간주파수에서의 전압이득 $\frac{V_{out}}{V_{in}}$ 을 구하시오. (4점)
- 2) 중간주파수에서 입력 임피던스 R_{in} 과 출력임피던스 R_{out} 을 구하시오. (3점)
- 3) $C_{B4} = 20$ [pF]일 때, 트랜지스터 M_2 의 소스에서 생기는 저주파 특성을 결정짓는 영점과 극점(f_{Z1} , f_{P1})을 모두 구하시오. (3점)

제 5 문. 다음 공통 소스 증폭기 회로에 대하여 물음에 답하시오. (단, 회로를 구성하는 NMOS/PMOS 트랜지스터의 변수는 아래 표와 같으며, 트랜지스터 사이즈는 각각 $\left(\frac{W}{L}\right)_{M_1} = \frac{16}{2}, \left(\frac{W}{L}\right)_{M_2} = \frac{80}{2}, \left(\frac{W}{L}\right)_{M_3} = \frac{80}{2}$ 이다) (총 10점)

변수	NMOS	PMOS	단위
V_{TH} (문턱 전압)	1.1	-1.2	V
$\mu \cdot C_{ox}$	5.2×10^{-5}	1.5×10^{-5}	A/V^2
λ (채널 변조 효과)	0.03	0.02	V^{-1}



- 1) I_B 가 200 [μA]의 크기를 가지기 위한 바이어스 저항 R_B 와 입력 DC 전압 V_{BIAS} 를 구하시오. (단, 채널 변조 효과는 무시한다) (3점)
- 2) 1)에서 제시한 기준 전류, 바이어스 저항, 그리고 입력 DC 전압을 가질 경우 소신호 증폭 이득을 계산하시오. (3점)
- 3) 증폭기 회로를 구성하는 모든 트랜지스터인 M_1, M_2, M_3 가 포화(saturation) 영역에 있기 위해 필요한 출력 신호의 최솟값과 최댓값을 계산하시오. (4점)