

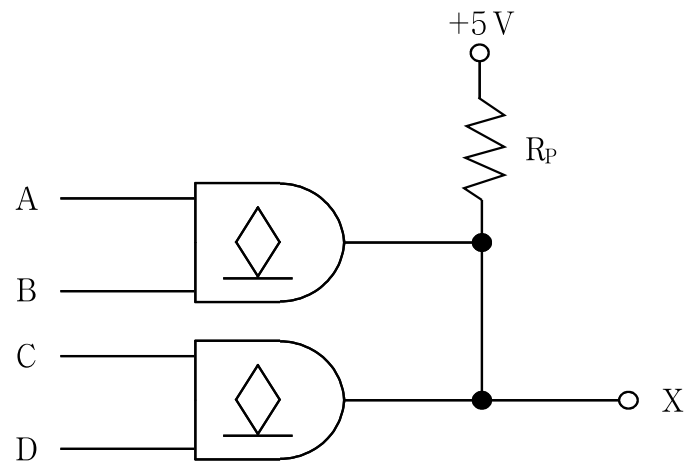
디지털공학

2012년 시행 5급(기술) 공채 제2차시험

응시번호 :

성명 :

제 1 문. 다음은 2개의 개방-콜렉터 AND 게이트의 출력을 와이어로 연결한 회로이다. 이와 관련하여 다음 물음에 답하시오. (단, 와이어로 연결된 게이트는 4개의 표준 TTL 입력(각각의 최대 구동전류 $I_{IL} = -1.6\text{mA}$)을 구동하고 있다고 가정한다) (총 10점)



- 1) 위의 회로에서 출력 X의 논리식을 구하시오. (5점)
- 2) 각 게이트의 $I_{OL(max)}$ 가 20 mA이고 $V_{OL(max)}$ 가 0.4 V일 때, R_P 의 최솟값을 구하시오. (단, $I_{OL(max)}$ 는 게이트 출력이 LOW일 때의 출력전류의 최댓값이고, $V_{OL(max)}$ 는 게이트 출력이 LOW일 때의 출력전압의 최댓값이다) (5점)

제 2 문. 에러정정 코드 중 하나인 (6, 3) 선형 블록부호는 3비트의 입력 (A, B, C)에 대하여 패리티 비트 (X, Y, Z)를 발생시켜 6비트의 코드 (X, Y, Z, A, B, C)를 생성하는 방식이다. 이 때 ABC와 XYZ 사이에는 다음과 같은 관계가 있다. 이와 관련하여 다음 물음에 답하시오. (총 15점)

A B C	X Y Z
0 0 0	0 0 0
1 0 0	1 1 0
0 1 0	0 1 1
1 1 0	1 0 1
0 0 1	1 0 1
1 0 1	0 1 1
0 1 1	1 1 0
1 1 1	0 0 0

- 1) 입력 (A, B, C)의 최소화된 논리함수로 패리티 비트 (X, Y, Z)를 나타내시오. (5점)
- 2) 2입력 NAND 게이트, 2입력 NOR 게이트, 2입력 Exclusive OR 게이트만 사용하여 1)에서 구한 논리함수를 최소의 게이트를 사용한 회로로 구성하시오. (단, 게이트를 반복적으로 사용할 수 있다) (5점)
- 3) 1)에서 구한 논리함수를 PLA(Programmable Logic Array)로 구현하시오 (5점)

제 3 문. 현관에 설치된 디지털 잠금장치에는 4개의 버튼 W, X, Y, Z가 있으며, 초기 상태는 버튼입력을 시작할 수 있는 상태이다. 비밀번호인 <Y, Z, X, W>를 순서대로 누르면 문이 열리며 잠금장치가 초기 상태로 돌아가고, 틀린 번호를 누르면 잠금장치가 초기 상태로 돌아간다. 초기상태의 2진 신호를 00이라고 하고, 입력버튼 W, X, Y, Z에 대응하는 2진 신호 AB를 각각 00, 01, 10, 11이라고 할 때, 최소의 D-type 플립플롭을 사용한 디지털 잠금장치의 설계에 대하여 다음 물음에 답하시오. (총 15점)

- 1) 디지털 잠금장치의 상태도(State Diagram)를 구하시오. (5점)
- 2) 디지털 잠금장치의 상태전이표(State Transition Table)를 구성하시오. (5점)
- 3) 각 D-type 플립플롭의 입력에 대한 논리식과 문이 열리는 신호에 대한 논리식을 구하시오. (5점)

제 4 문. 50 %의 duty cycle을 갖는 5MHz의 클럭 신호로부터 20 %의 duty cycle을 갖는 1MHz의 클럭 신호를 생성하고자 한다. 이를 위하여 3개의 D-type 플립플롭을 사용하여 주파수 분주기를 설계할 때, 상태전이표(State Transition Table)를 구성하고 이를 만족하기 위해 각 D-type 플립플롭에 인가해야 되는 입력 논리식을 구하시오. (단, 3개의 플립플롭 입력은 MSB로부터 차례로 D2, D1, D0으로 하며, 이 값에 대응되는 2진 신호는 순차적으로 증가한다) (10점)

행정안전부 시험출제과장